

明細書

可変長符号復号装置

5 技術分野

本発明は、複数の符号化方式で符号化されたビットストリームを復号する可変長符号復号装置に関するものである。

背景技術

10 ディジタル衛星放送、インターネットや携帯情報端末を利用したディジタル映像コンテンツの送受信の普及により、MPEG (Moving Picture Coding Experts Group) 規格に対応する信号処理装置の重要性が増している。現在、MPEGには、CD-ROMなどの蓄積メディアを対象にするMPEG-1、ディジタルTV放送やDVDなどの蓄積メディアを対象とするMPEG-2、移動体通信など低ビット・レートでの動画像フォーマットとして用いられるMPEG-4、近年提案されている低ビット・レート下での更なる高画質化を狙ったMPEG-4 AVC (Advanced Video Coding) といった様々な符号化方式が存在する。

15 バッテリ駆動が前提の移動体通信端末に、MPEG方式を採用する場合、膨大なデータの高速処理と低消費電力化が課題となる。この観点から、移動体通信端末に搭載する動画像処理専用LSIは、プロセッサとVLD (Variable Length Decoder、可変長符号復号回路)、IQ (Inverse Quantization、逆量子化回路)、IDCT (Inverse Discrete Cosine Transform、逆DCT回路)などの特定アルゴリズムを処理する専用ハードウェアとを併用することにより、動画像処理時の負荷を分散し、合わせて、消費電力の低減を図っている。

動画像処理専用LSIが、複数の符号化方式を扱う画像処理装置に組み込まれ、動画像処理専用LSIが1つの符号化方式のみにしか対応していない場合、各々の符号化方式に対応した複数の動画像処理専用LSIを画像処理装置に組み込む必要がある。

5 しかし、複数の動画像処理専用LSIを画像処理装置に組み込むと、部品点数が増加するため画像処理装置のコストが増加し、符号化方式ごとに動作させる動画像処理専用LSIを切り替える必要があるためシステムが煩雑になる。

そこで、一つの動画像処理専用LSIで複数の符号化方式に対応することが考えられる。このためには、各符号化方式のVLDなどの専用ハードウェアを
10 全て備えることで実現できる。しかし、このようにすると、動画像処理専用LSIの面積が増大し、動画像処理専用LSIのコストが増大する。

また、一つの動画像処理専用LSIでの複数の符号化方式へ対応するために、各専用ハードウェアを複数の符号化方式に対応させて作りこむことが考えられる。そのような技術の一つとして、文献1（日本国特開2002-14180
15 7号公報）は、2つの符号化方式に対応する可変長符号復号回路の技術を開示する。

第7図は、文献1に記載された従来の可変長符号復号回路300を示す。可変長符号復号回路300は、バレルシフタ301及びバレルシフタ制御器302と、DVフォーマットとMPEGフォーマットのAC係数の復号のための可変長符号復号テーブル303aと、レベル0のランレンジングスを処理できるランレンジングスデコーダと304、MPEGフォーマット専用のエスケープ処理回路303bと、各フォーマット用のDC処理回路303cと、両フォーマットのEOP処理回路303dを備える。

DVフォーマット、もしくはMPEGフォーマットのビットストリームが入力されると、各々のフォーマットの処理回路によりランレンジングス及びレベルが求められ、ランレンジングスデコーダに与えられたランレンジングスの数だけ0を出力することで、可変長符号が復号される。

しかしながら、文献1では、DVとMPEG-1もしくはMPEG-2の2つの符号化方式しか対応できない。また、他の符号化方式に対応するには、対応する符号化方式に合わせて最初から回路を開発する必要があり、開発工数が増大する。さらには、可変長復号に必要なテーブルなどを、DV用とMPEG-1用もしくはMPEG-2用と2種類持つ必要があるため、1つの符号化方式のみに対応する場合に比べ、回路規模が大きくなり、動画像処理専用LSIのコストが増加する。

そこで本発明は、複数の符号化方式に容易に対応でき、回路規模の増大を抑えることができる可変長符号復号装置を提供することを目的とする。

10

発明の開示

第1の発明に係る可変長復号装置は、複数の符号化方式により符号化された可変長符号を復号する復号段と、可変長符号を入力するストリーム入力部と、復号段とストリーム入力部とを仲介するインターフェイスとを備え、ストリーム入力部とインターフェイスとは、複数の符号化方式について共用される。

この構成において、ストリーム入力部とインターフェイスとが、複数の符号化方式において共用されるため、符号化方式毎にストリーム入力部を設ける場合に比べ、回路規模を削減できる。

第2の発明に係る可変長復号装置では、第1の発明に加え、復号段は、複数の符号化方式のそれぞれにより符号化された可変長符号を復号できるように再構成可能な論理回路により構成される。

この構成により、復号段は、例えば単一の再構成可能な論理回路とすることもできる。したがって、一層、回路規模を削減できる。

第3の発明に係る可変長復号装置では、第1の発明に加え、復号段は、複数の符号化方式のそれぞれにより符号化された可変長符号を復号する複数の復号器から構成される。

この構成によれば、再構成に要するオーバーヘッドなしに、複数の専用復号

器により複数の符号化方式に対応できる。

第4の発明に係る可変長復号装置では、第3の発明に加え、インターフェイスは、符号化方式を指示する方式信号にしたがって、複数の復号器のうちのいずれかの復号器を選択し、ストリーム入力部に接続する復号器セレクタを備える。

第5の発明に係る可変長復号装置では、第4の発明に加え、複数の復号器のうち、復号器セレクタにより選択されない復号器の消費電力を抑制する。

これらの構成により、選択されない復号器による消費電力を抑制して、携帯端末などに実装しやすくすることができる。

10 第6の発明に係る可変長復号装置では、第1の発明に加え、ストリーム入力部は、ストリームの開始コードを検出するコード検出器を備える。

この構成により、可変長復号装置の前段において、開始コードが取り除かれていなくても、支障なく可変長符号を復号できる。また、開始コードを検出するコード検出器も複数の符号化方式において共用できるから、回路規模の増加15 を一層抑制できる。

第7の発明に係る可変長復号装置では、第1の発明に加え、ストリーム入力部は、ストリームの一部を構成するレジスタデータを保持するシフトレジスタと、レジスタデータから一定ビット幅のストリームデータをインターフェイスへ転送するデータセレクタと、ストリームデータの位置を定めるストリームポインタを制御するポインタ制御部とを備え、インターフェイスは、ストリームデータを保持し復号段へ転送するストリームデータバスと、復号を中断すべきか否かを示すストリーム有効信号を保持し復号段へ転送するストリーム有効信号線と、復号を開始すべきか否かを示す復号開始信号を保持し復号段へ転送する復号開始信号線とを備える。

25 この構成により、シフトレジスタのレジスタデータが一定ビット幅のストリームデータに分けられ、復号段へ転送される。ストリームポインタを制御し、ストリームデータを順次復号段へ供給でき、効率よく可変長符号を復号できる。

また、ストリーム有効信号により復号段へ復号を中断すべきか否かを指示できるし、復号開始信号により復号段へ復号を開始すべきことを指示できる。

第8の発明に係る可変長復号装置では、第7の発明に加え、復号段は、復号が完了すると符号長をストリーム入力部へ通知し、ポインタ制御部は、通知された符号長に基づいてストリームポインタが定めるストリームデータの位置を移動する。

この構成により、復号を完成するまで不明な符号長を復号段からストリーム入力部へ通知することにより、ストリームポインタが定めるストリームデータの位置を常に適切に制御できる。即ち、ストリーム入力部と復号段において、ハンドシェイクプロトコルを確立することができ、復号段によるレイテンシの差を容易に吸収できる。

図面の簡単な説明

第1図は、本発明の実施の形態1における可変長符号復号装置のブロック図である。

第2図は、本発明の実施の形態1におけるストリーム入力部のブロック図である。

第3図は、本発明の実施の形態1における可変長符号復号装置のタイミングチャートである。

第4図は、本発明の実施の形態1における可変長符号復号装置のタイミングチャートである。

第5図は、本発明の実施の形態1における可変長符号復号装置のタイミングチャートである。

第6図は、本発明の実施の形態2における可変長符号復号装置のブロック図である。

第7図は、従来の可変長復号器のブロック図である。

発明を実施するための最良の形態

以下、図面を参照しながら、本発明の実施の形態を説明する。

(実施の形態 1)

第1図は、本発明の実施の形態1における可変長復号装置のブロック図である。

本形態の可変長復号装置は、次に述べるように、複数の符号化方式により符号化された可変長符号を復号する復号段100と、可変長符号を入力するストリーム入力部10と、復号段100とストリーム入力部10とを仲介するインターフェイス30とを備え、ストリーム入力部10とインターフェイス30とは、複数の符号化方式について共用される。

第1図に示すように、本形態の可変長復号装置1は、ストリーム入力端子2と方式信号入力端子3と復号データ出力端子4とを備える。

ストリーム入力端子2は、可変長符号化されたビットストリームを入力する。可変長復号装置1は、複数の符号化方式により符号化されたビットストリームを復号できるが、現在復号すべきビットストリームに関する符号化方式は、方式信号入力端子3に入力される方式信号により特定される。

ストリーム入力端子2から入力されるビットストリームは、ストリーム入力部10のシフトレジスタ11に一定量（本例では、96ビット）ずつ転送される。

方式信号入力端子3から入力される方式信号は、第1、第2の復号器セレクタ34、60及び第1、第2のマスク素子35、36の一方の入力端子に入力される。

復号データ出力端子4は、可変長復号装置1の出力データである復号データを外部（本例は、MPEG規格の可変長復号装置であるから、通常、逆量子化器（図示せず））へ出力する。

可変長復号装置1の内部要素は、ストリーム入力部10と、第1の復号器40及び第2の復号器50とを有する復号段100と、ストリーム入力部10と

復号段 100との間に介装されるインターフェイス 30と、第2の復号器セレクタ 60とに分けることができる。

本例のストリーム入力部 10は、第2図に示しているように、次の要素を備える。

5 シフトレジスタ 11は、上述したように、ビットストリームの部分データを最大 96 ビット保存する。本形態では、シフトレジスタ 11に保存されるデータをレジスタデータ $s\ t\ r\ m_r\ e\ g$ という。

制御部 12は、可変長復号装置 1の復号プロセスを制御する。制御部 12は、
10 ポインタ制御部 13を含み、ポインタ制御部 13は、データセレクタ 14にストリームポインタ $s\ t\ r\ m_p\ t\ r$ を指示する。

データセレクタ 14は、ポインタ制御部 13からストリームポインタ $s\ t\ r\ m_p\ t\ r$ を入力すると、ストリームポインタ $s\ t\ r\ m_p\ t\ r$ により指された末端位置から一定量（本例では、32 ビット）のストリームデータ $s\ t\ r\ m_d\ a\ t\ a$ を取り出してストリームデータバス 31へ転送する。ストリームポ
15 インタ $s\ t\ r\ m_p\ t\ r$ が指示するストリームデータ $s\ t\ r\ m_d\ a\ t\ a$ の末端位置は、理論的には、95 ビット～0 ビットの範囲で変更され得る。

しかしながら、本例では後述するように、この末端位置がデータセレクタ 14が出力するストリームデータ $s\ t\ r\ m_d\ a\ t\ a$ のデータ幅である、32 ビット未満にならないようにポインタ制御部 13はストリームポインタ $s\ t\ r\ m_p\ t\ r$ を制御する。
20

これは、末端位置が 32 ビット未満になると、ストリームデータバス 31へ転送されるストリームデータ $s\ t\ r\ m_d\ a\ t\ a$ の少なくとも一部に、意味のないデータが含まれ、不測の事態が発生するおそれがあるためである。因みに、末端位置が 32 ビット未満になったときには、ビットストリームの新たな部分
25 データをシフトレジスタ 11に補充的に転送させることとしている。

ストリームポインタ $s\ t\ r\ m_p\ t\ r$ が指す末端位置が、最大値である 95 ビットから 0 ビット方向へ戻るにつれて、ストリームデータバス 31に転送さ

れるストリームデータ `s t r m_d a t a` の内容が変化する。なお以下説明を簡単にするために、ストリームポインタ `s t r m_p t r` は最大値 95 ビットから基本的に一定の差分値（本例では、8 ビット）ずつ 0 ビット方向に向けて減ってゆくものとする。しかしながら、これは説明の便宜のためであり、この
5 差分値は、後述する符号長信号 `s t r m_l e n` が示す符号長の値に他ならず、実際には、復号が完成した際の符号長信号 `s t r m_l e n` が示す符号長の値（可変値）と共に変化する。本発明は、このように、差分値が変化する場合にも同様に適用できる。

制御部 12 は、インターフェイス 30 のストリーム有効信号線 32 にビット
10 ストリーム有効指示信号 `s t r m_e n` を出力し、インターフェイス 30 の復号開始信号線 33 に復号開始指示信号 `d e c_s t a r t` を出力する。

ビットストリーム有効指示信号 `s t r m_e n` は、復号を中断すべきか否かを示し、復号開始指示信号 `d e c_s t a r t` は、復号を開始して良いか否かを示す。

15 制御部 12 は、第 1 の復号セレクタ 34 から符号長信号 `s t r m_l e n`、復号完了通知信号 `d e c_e n d` 及び供給停止信号 `s t r m_s t o p` を入力する。符号長信号 `s t r m_l e n` について 3 は、上述の通りである。

20 復号完了通知信号 `d e c_e n d` は、ストリームデータ `s t r m_d a t a` に関する処理が終了し、今回の可変長符号化データの復号が完了して、符号長信号 `s t r m_l e n` を特定できる状態になったとき、復号を担当する復号器がその状態になったことを制御部 12 に通知する信号である。

供給停止信号 `s t r m_s t o p` は、ストリームデータ `s t r m_d a t a` に関する処理が完了する都度、復号を担当する復号器が制御部 12 に処理の完了を通知する信号である。

25 但し、供給停止信号 `s t r m_s t o p` は、今回の可変長符号化データの復号が未完了である場合であっても制御部 12 に通知される点が復号完了通知信号 `d e c_e n d` とは異なる。

さらに本例のストリーム入力部 10 は、次の要素を備える。但し、これらの要素は、ビットストリームの特定コード（本例では、”`0x000001`”という開始コード）を操作する必要がない場合（例えば、ストリーム入力端子 2 の前段に設けられる図示されない要素によって開始コードが予め取り除かれて 5 いる場合等）には、必要に応じて省略できる。

コードレジスタ 15 は、開始コードを保持し、コード検出器 16 の一方の入力端子へ開始コードを入力する。コード検出器 16 は、シフトレジスタ 11 の先頭 24 ビットの値を他方の入力端子から入力し、この値をコードレジスタ 15 から入力される開始コードと比較する。コード検出器 16 は、両者が一致す 10 るとき、開始コードを発見した旨を通知する検出信号を制御部 12 へ出力する。

制御部 12 は、この検出信号を入力すると、ポインタ制御部 13 が出力するストリームポインタ `s_t_r_m_p_t_r` を 24 ビットだけ 0 ビット方向へ戻し、その結果、ビットストリームの開始コードの次のビットから 32 ビット分のデータがストリームデータ `s_t_r_m_d_a_t_a` としてストリームデータバス 31 へ転送され、復号プロセスが開始する。なお以下説明を簡単にするために、開始コードが発見されると、開始コード分（本例では、24 ビット）だけシフトレジスタ 11 にビットストリームの一部のデータが補充され、ストリームポインタ `s_t_r_m_p_t_r` は最大値である 95 ビットからスタートするものとする。 15

なお、コードレジスタ 15 が保持する特定コードを制御部 12 が外部から入力する設定信号により変更できるようにしても良いし、特定コードを可変長符号化データの実体の一部として誤って復号してしまったような場合、ポインタ制御部 13 がストリームポインタ `s_t_r_m_p_t_r` を適宜操作して、本来の正しい復号プロセスが実行されるように修正することもできる。

第 1 図に示すように、インターフェイス 30 は、ストリームデータバス 31、ストリーム有効信号線 32、復号開始信号線 33 の他に、次の要素を備える。 25

第 1 の復号セレクタ 34 は、

第 1 の復号器 40 からの供給停止信号 `s_t_r_m_s_t_o_p`、復号完了通知信号

d e c _ e n d 、 符号長信号 s t r m _ l e n と、
第 2 の復号器 5 0 からの供給停止信号 s t r m _ s t o p 、 復号完了通知信号
d e c _ e n d 、 符号長信号 s t r m _ l e n と、 供給停止信号 s t r m _ s
t o p と

5 を、 方式信号にしたがって択一的に選択し、 制御部 1 2 へ転送する。 また、 第
1 のマスク素子 3 5 と第 2 のマスク素子 3 6 は、 復号開始指示信号 d e c _ s
t a r t と方式信号との論理積を求める。 第 1 のマスク素子 3 5 と第 2 のマス
ク素子 3 6 は、 第 1 の復号器 4 0 又は第 2 の復号器 5 0 の一方を、 方式信号に
したがって択一的に選択し、 選択された復号器にストリームデータバス 3 1 か
10 ら転送されるストリームデータ s t r m _ d a t a を復号させる。 第 1 のマス
ク素子 3 5 と第 2 のマスク素子 3 6 とは、 論理的に反転している。

第 1 の復号器 4 0 と第 2 の復号器 5 0 とは、 実施の形態 1 における復号段 1
0 0 を構成し、 互いに異なる符号化方式に対応する専用の復号器である。 本例
では、 第 1 の復号器 4 0 は、 第 1 のテーブル 4 1 を備え、 M P E G - 4 S i
15 m p l e P r o f i l e 方式による可変長符号化データを復号し、 第 2 の復
号器セレクタ 6 0 の一方の端子へ復号データを出力する。 なお I / O 部 4 2 は、
インターフェイス 3 0 との間で信号を入出力する。

第 2 の復号器 5 0 は、 第 2 のテーブル 5 1 を備え、 M P E G - 4 A V C 方
式による可変長符号化データを復号し、 第 2 の復号器セレクタ 6 0 の他方の端
20 子へ復号データを出力する。 なお I / O 部 5 2 は、 インターフェイス 3 0 との
間で信号を入出力する。

第 2 の復号器セレクタ 6 0 は、 方式信号にしたがい、 第 1 の復号器 4 0 又は
第 2 の復号器 5 0 の一方から出力される復号データを、 復号データ出力端子 4
を介して可変長復号装置 1 の外部へ出力する。

25 ここで、 方式信号により選択されない復号器については、 クロックを停止さ
せる、 あるいは給電しない等、 事実上停止させることが望ましい。 消費電力を
節約できるからである。 また、 復号器は、 第 1 図に示すように、 2 種類に限ら

れず、3種以上の可変長符号化方式に対応するようにしても良い。

次に、第3図を参照しながら、可変長復号装置1の動作を説明する。なお、方式信号が、第1の復号器40と第2の復号器50とのいずれの復号器を選択しても、選択動作を除き、可変長復号装置1の動作は同様である。

5 「データセレクタ14がストリームデータstream_dataを1回だけストリームデータバス31に転送すると、1単位の復号が完了する場合」

ここでは、第3図(a)に示されるレジスタデータstream_registerがシフトレジスタ11に転送されるものとする。第2図に基づいて上述したように、コード検出器16がコードレジスタ15との比較を行い、先頭の開始コード”
10 0x000001”を検出し、シフトレジスタ11に24ビット分のデータが補充される。

ポインタ制御部13は、ストリームポインタstream_ptrをシフトレジスタ11の最大値である95ビットにセットし、データセレクタ14が、ストリームポインタstream_ptrにより指示される末端位置から32ビット分のストリームデータstream_data(data1)をストリームデータバス31へ転送する。

第3図(d)に示すように、制御部12は、現在のストリームポインタstream_ptrが32ビット以上を指しているから、ビットストリーム有効指示信号stream_enを”enable”とし、第3図(e)に示すように、制御部12は、時刻t1～t2において、復号開始指示信号dec_startを”start”とする。

なお、このとき、第1の復号器40は、何も復号していないから、第1の復号器40は、第3図(g)に示すように、符号長信号stream_lengthが示す符号長の値を”0”とし、第3図(f)に示すように、供給停止信号stream_stopを”not stop”とする。さらに、第3図(h)に示すように、復号完了通知信号dec_endは、”not end”の状態にある。

第1の復号器40は、時刻t1からストリームデータstream_data(d

a t a 1) の復号を開始し、第1の復号器40は、時刻t3にてストリームデータs t r m_d a t a (d a t a 1) のみにより1単位の復号を完了するものとする。すると、この一単位の符号長が初めて判明する（この符号長は、ストリームデータs t r m_d a t a により変化するものであるが、上述したように説明を簡単にするために、本例では符号長は常に8ビットであるものとする。）。

したがって、第1の復号器40は、時刻t3～t4において、供給停止信号s t r m_s t o pを”s t o p”とし、復号完了通知信号d e c_e n dを”e n d”とし、符号長信号s t r m_l e nが示す符号長の値を”8”とする。
10 これらの信号は、第1の復号セレクタ34を介して制御部12へ通知される。

また、第1の復号器40は、時刻t4において、供給停止信号s t r m_s t o pを”n o t s t o p”に戻し、符号長信号s t r m_l e nが示す符号長の値を”0”に、復号完了通知信号d e c_e n dを”n o t e n d”に、それぞれ戻す。

15 時刻t3において、これらの信号を受信する制御部12は、ポインタ制御部13を用いて受信した符号長信号s t r m_l e n（本例では、8ビット）だけストリームポインタs t r m_p t rを0ビット方向へ戻す。その結果、ストリームポインタs t r m_p t rは、 $(95 - 8 =)$ 87ビットを指すことになる。次に、d a t a 2について、上述と同様の処理が実施される。

20 「データセレクタ14がストリームデータs t r m_d a t aを1回、ストリームデータバス31に転送しても、1単位の復号が完了しない場合」

第4図を参照しながら、データセレクタ14がストリームデータs t r m_d a t aを1回だけストリームデータバス31に転送しても、1単位の復号が完了せず、データセレクタ14が複数回（本例では、2回）ストリームデータs t r m_d a t aを転送する場合について説明する。
25

第4図において、時刻t11、t12までは、第3図と同様である。

但し、時刻t13において、第1の復号器40がストリームデータs t r m

`_data (data1)` の処理を完了しても、1単位の復号が完了しない場合、供給停止信号 `strm_stop`、符号長信号 `strm_len` は第3図と同様である。しかし、第4図 (h) に示すように、第1の復号器40は、復号完了通知信号 `dec_end` を”not end” のままとする。

5 これにより、時刻 t_{13} 以降に、次のストリームデータ `strm_data` (`data2`) が第1の復号器40に転送され、第1の復号器40は、ストリームデータ `strm_data` (`data2`) の処理を引き続いで実行する。その結果、1単位の復号が完了し、符号長を特定できる状態になると、第1の復号器40は、時刻 $t_{15} \sim t_{16}$ において、第3図の時刻 $t_4 \sim t_5$ と同様の処理を行う。
10

なお本例では、時刻 $t_{13} \sim t_{14}$ 、 $t_{15} \sim t_{16}$ において、符号長信号 `strm_len` が8ビットを示すが、これは誤りではない。理由は次の通りである。即ち、ストリームポインタ `strm_ptr` は、時刻 t_{13} において、ストリームデータ `strm_data` (`data1`) により暫定的に判明した符号長 `len1` (本例では、8ビット) 分だけ0ビット方向へ移動し、さらに時刻 t_{15} において、ストリームデータ `strm_data` (`data2`) により判明した符号長 `len2` (本例では、8ビット) だけ移動する。結局、時刻 t_{15} において、ストリームポインタ `strm_ptr` は、`data1` の復号が開始される時の位置から、符号長の和 (本例では、 $len1 + len2 = 16$ ビット) だけ移動した位置を正しく指すからである。
20

次に、第5図を参照しながら、ストリームポインタ `strm_ptr` がストリームデータ `strm_data` のビット幅 (本例では、32ビット) 未満となり、ビットストリームの後続する部分のデータがシフトレジスタ11に補充される場合における、可変長復号装置1の動作を説明する。

25 既に、第3図、第4図を参照して説明したように、復号が進むと、ストリームポインタ `strm_ptr` は0ビット方向へ戻り、ついには、ストリームデータ `strm_data` のビット幅未満となる。

第5図の例では、時刻 $t_{31} \sim t_{33}$ までは、ストリームポインタ $s_t r m_p t r$ は 35 ビットを指しており、ストリームデータ $s_t r m_d a t a$ のデータ幅以上である。

時刻 t_{33} において、第1の復号器40が符号長信号 $s_t r m_l e n$ (8
5 ビット) を出力すると、ストリームポインタ $s_t r m_p t r$ は、 $(35 - 8 = 27) < 32$ を指すことになる。

このとき、第5図 (b) に示すように、制御部12は、時刻 t_{34} において、ストリームデータ $s_t r m_d a t a$ に不測のデータが含まれる事態を避けるため、ビットストリーム有効指示信号 $s_t r m_e n$ を”*d i s e n a b l e*”
10 にする。

その結果、時刻 t_{32} 以降において、第1の復号器40が復号処理を行っている場合、第1の復号器40は、時刻 t_{34} から復号処理を中断する。

第5図の例では、時刻 t_{34} 以降、シフトレジスタ11にビットストリームから 32 ビットのデータが補充され、時刻 t_{35} において、制御部12は、ビットストリーム有効指示信号 $s_t r m_e n$ を”*e n a b l e*” に戻す。その結果、時刻 t_{35} において、復号処理の中断が解消され、第1の復号器40は、時刻 t_{36} にて、1 単位の復号処理を完了する。以後は、上述の動作と同様である。

本形態によれば、ストリーム入力部10及びインターフェイス30を複数の符号化方式において共用しているから、面積の増加が抑えられる。また、符号長を復号段100から制御部12へ送信しているから、異なる符号化方式の復号器も容易に接続できる。

本実施の形態において、符号化方式を「MPEG-4 Simple Profile」か「MPEG-4 AVC」の2種類としているが、他の符号化方式の可変長符号復号部を設け、インターフェース30に接続すれば他の符号化方式にも対応できる。

なお、以上述べた、96ビット、32ビット、8ビットなどの数値は、例示

に過ぎないのであって、種々変更できることはいうまでもない。また、ストリームポインタ $s_t_r_m_p_t_r$ は、ストリームデータ $s_t_r_m_d_a_t_a$ を昇順で制御するが、降順で制御しても良い。

(実施の形態 2)

5 以下、実施の形態 1 との相違点のみを説明する。実施の形態 1 では、複数の符号化方式毎に、専用の復号器 40、50 を設けている。

実施の形態 2 では、これにかえて、I/O 部 81 を有する再構成可能復号器 80 を設けて、復号段 200 を構成する。

10 再構成可能復号器 80 の全てを再構成可能な論理回路で構成することもできるが、例えば、復号パラメータを保持するテーブルのみを再構成可能な論理回路とすることもできる。いずれにしても、再構成可能復号器 80 により複数の符号化方式に対応する復号処理を実現できれば十分である。

15 第 6 図を、第 1 図と比べれば明らかなように、インターフェイス 70 は、ストリームデータバス 71、ストリーム有効信号線 72、復号開始信号線 73 を備えればよく、第 1 の復号セレクタ 34、第 1 のマスク素子 35、第 2 のマスク素子 36 等は、省略できる。また、再構成可能復号器 80 と復号データ出力端子 4 との間に、第 2 の復号器セレクタ 60 を設ける必要はない。

20 よって、実施の形態 2 では、実施の形態 1 よりもさらに回路規模を削減できる。勿論、第 1 図において、第 1 の復号器 40 のかわりに再構成可能復号器 80 を設け、第 2 の復号器 50 を除いた構成とすることもできる。

25 本発明の可変長符号復号装置によれば、複数の符号化方式への対応が求められる可変長符号復号装置において、復号段がストリーム入力部を共有するので、面積の増加を抑えることができる。また、復号段とストリーム入力部の間を符号化方式において共通のインターフェースで接続するので、復号段の接続が容易であり、さらに、符号化方式の他の組み合わせへにも容易に対応できる。

産業上の利用可能性

本発明に係る可変長符号復号装置は、例えば、動画像処理を行うシステム LSI であって複数の符号化方式に対応が必要なもの等あるいはその応用技術分野に好適に利用できる。

請求の範囲

1. 複数の符号化方式により符号化された可変長符号を復号する復号段と、前記可変長符号を入力するストリーム入力部と、
5 前記復号段と前記ストリーム入力部とを仲介するインターフェイスとを備え、前記ストリーム入力部と前記インターフェイスとは、前記複数の符号化方式について共用される可変長復号装置。
2. 前記復号段は、前記複数の符号化方式のそれぞれにより符号化された可
変長符号を復号できるように再構成可能な論理回路により構成される請求の範
10 囲第1項記載の可変長復号装置。
3. 前記復号段は、前記複数の符号化方式のそれぞれにより符号化された可
変長符号を復号する複数の復号器から構成される請求の範囲第1項記載の可変
長復号装置。
4. 前記インターフェイスは、符号化方式を指示する方式信号にしたがって、
15 前記複数の復号器のうちのいずれか復号器を選択し、前記ストリーム入力部に接続する復号器セレクタを備える請求の範囲第3項記載の可変長復号装置。
5. 前記複数の復号器のうち、前記復号器セレクタにより選択されない復号器の消費電力を抑制する請求の範囲第4項記載の可変長復号装置。
6. 前記ストリーム入力部は、ストリームの開始コードを検出するコード検
20 出器を備える請求の範囲第1項記載の可変長復号装置。
7. 前記ストリーム入力部は、ストリームの一部を構成するレジスタデータを保持するシフトレジスタと、
前記レジスタデータから一定ビット幅のストリームデータを前記インターフ
エイスへ転送するデータセレクタと、
25 前記ストリームデータの位置を定めるストリームポインタを制御するポイン
タ制御部とを備え、
前記インターフェイスは、前記ストリームデータを保持し前記復号段へ転送

するストリームデータバスと、

復号を中断すべきか否かを示すストリーム有効信号を保持し前記復号段へ転送するストリーム有効信号線と、

復号を開始すべきか否かを示す復号開始信号を保持し前記復号段へ転送する

5 復号開始信号線とを備える請求の範囲第1項記載の可変長復号装置。

8. 前記復号段は、復号が完了すると符号長を前記ストリーム入力部へ通知し、

前記ポインタ制御部は、通知された符号長に基づいてストリームポインタが定める前記ストリームデータの位置を移動する請求の範囲第7項記載の可変長

10 復号装置。

Fig. 1

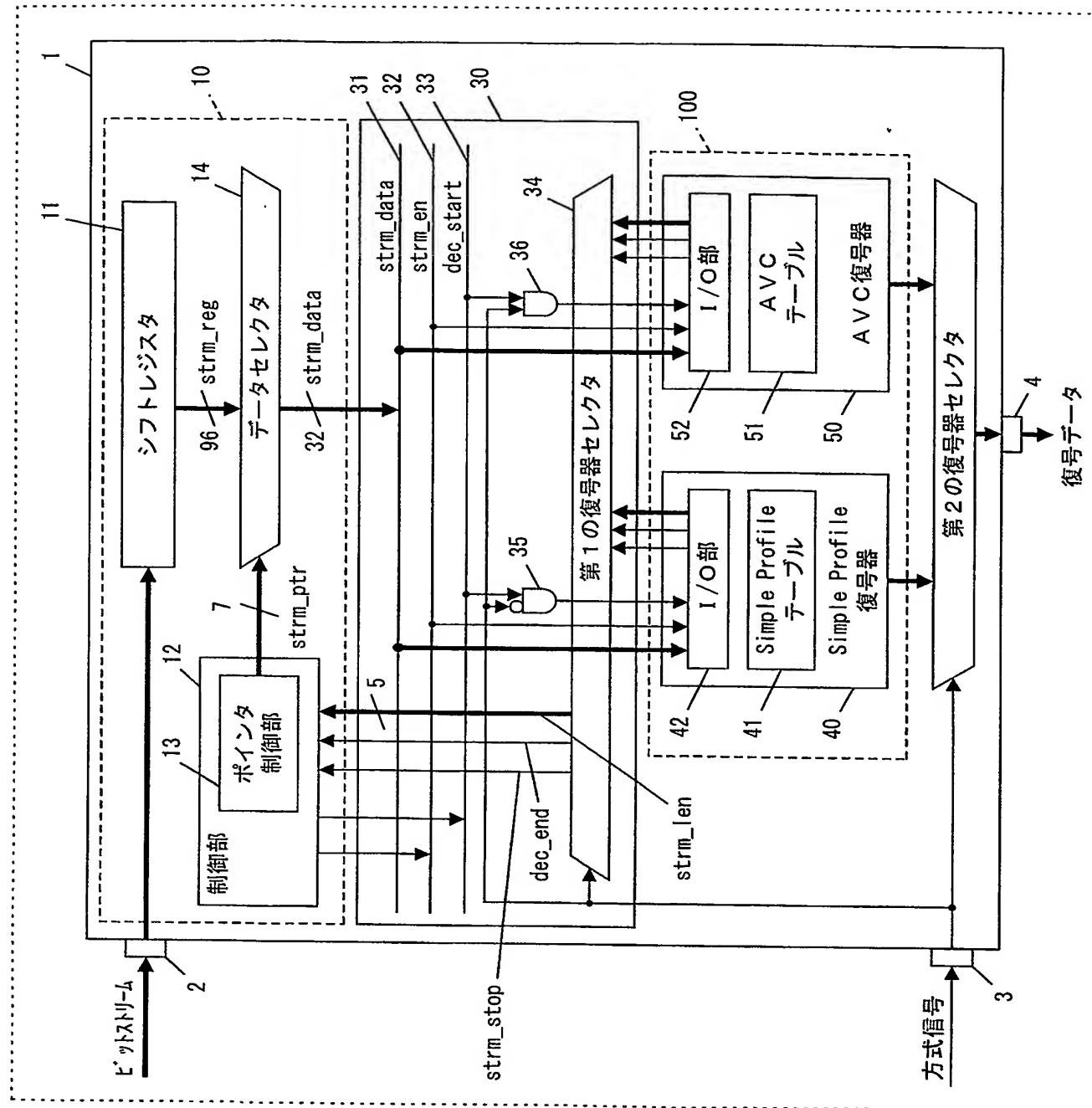


Fig. 2

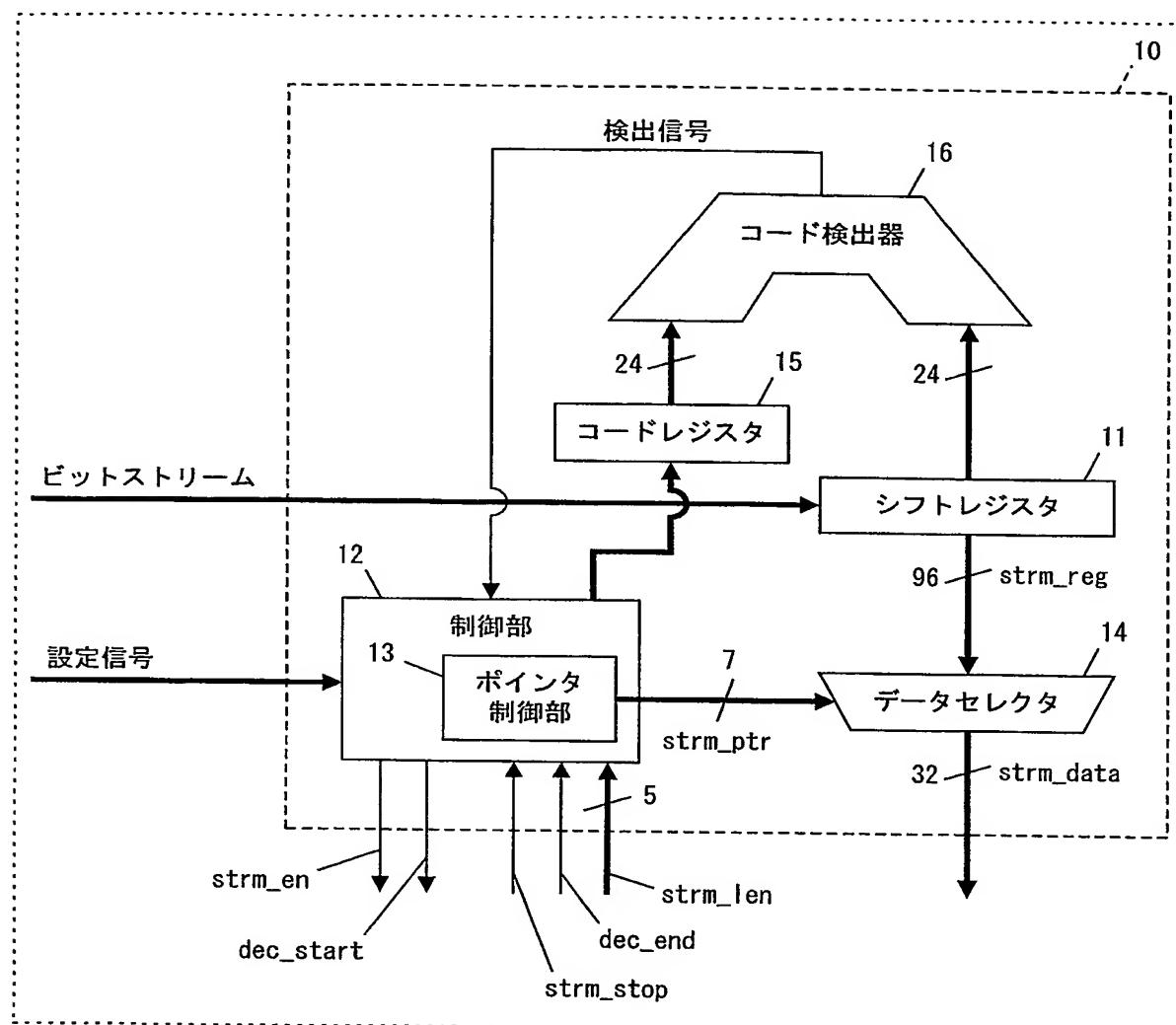


Fig. 3

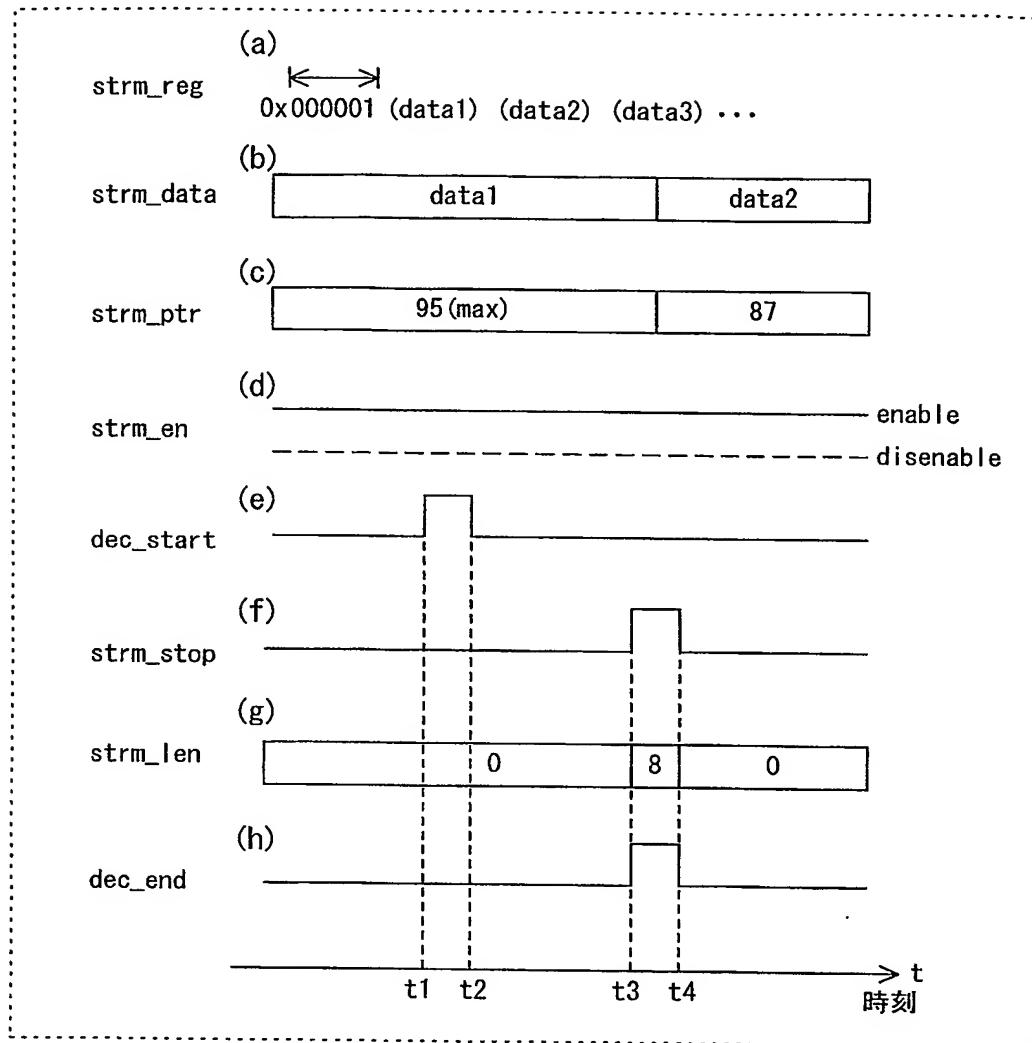


Fig. 4

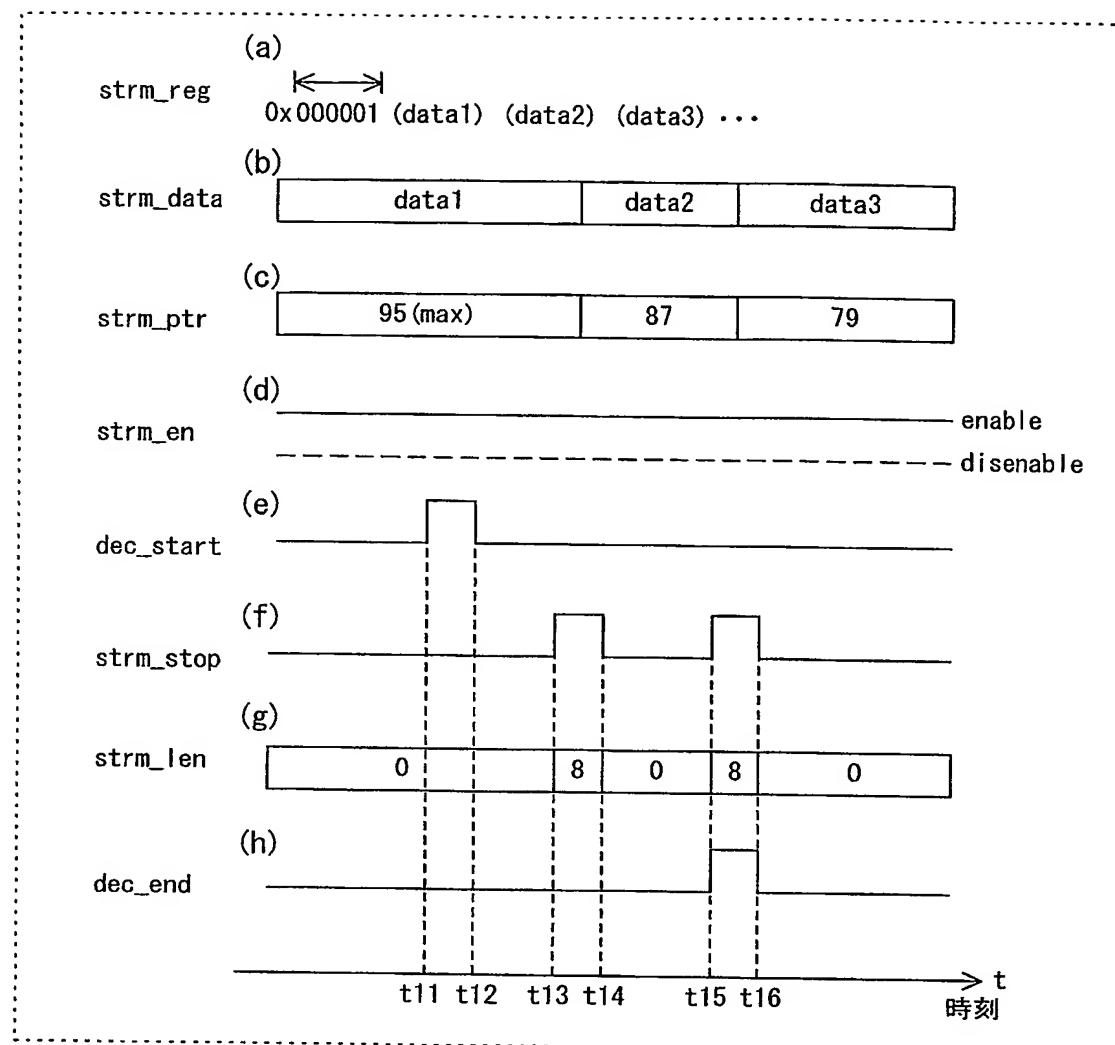


Fig. 5

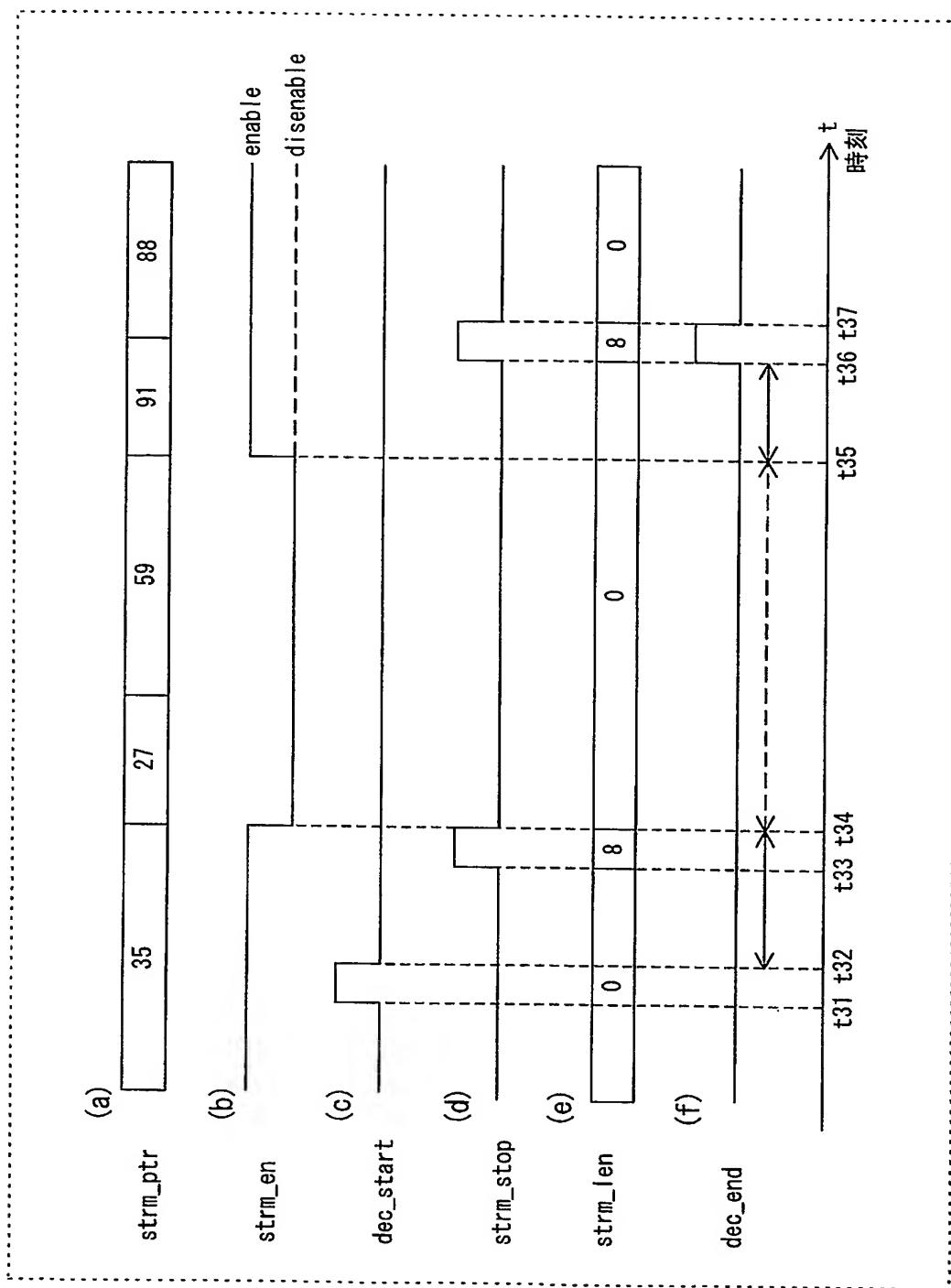


Fig. 6

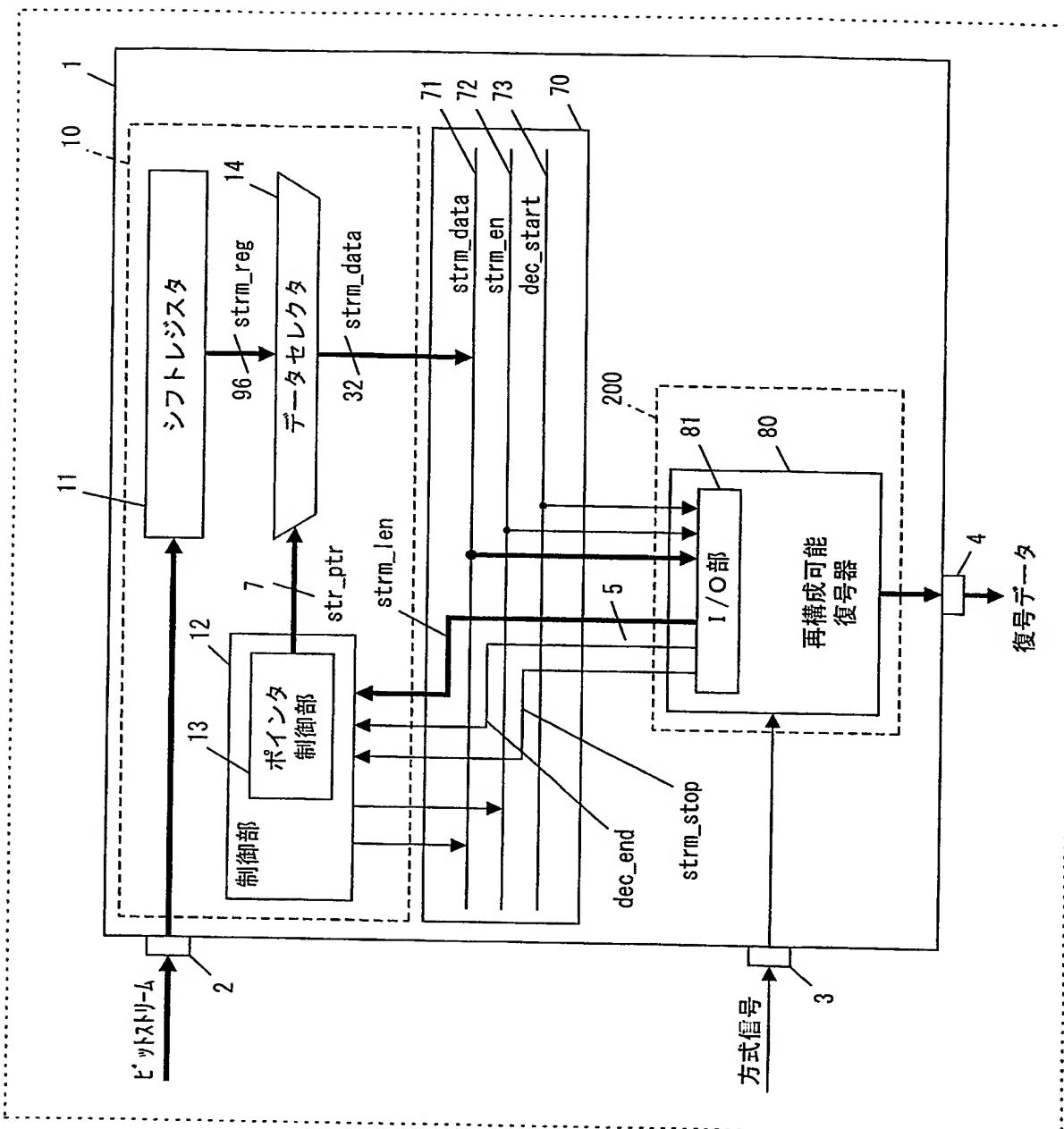


Fig. 7

